

CALCOLATORI ELETTRONICI A – 3 settembre 2009

NOME:

COGNOME:

MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Scrivere una procedura in assembler MIPS corrispondente alla seguente funzione ricorsiva espressa in linguaggio C, che riceve in ingresso un vettore di interi x e due interi i ed m e ritorna un valore intero. Si utilizzino le note convenzioni sui registri. [6]

```
int P(int x[], int i, int m){
    if(i>m)
        return 0;
    if(x[i]>50 && x[i]<100){
        if(x[i] > P(x, i+1, m) )
            return x[i];
        else return P(x, i+1, m);
    }
    else return 50;
}
```

2. Utilizzando latch di tipo D, riportare uno schema possibile di un Flip-Flop di tipo D master-slave. Indicare se il flip-flop ottenuto è sensibile ai fronti di salita o di discesa, ed infine spiegarne nel modo più preciso possibile il funzionamento. [5]

3. Riportare lo schema della macchina sequenziale di Mealy. Con riferimento all'unità di controllo di un processore (ad esempio il MIPS), spiegare nel modo più preciso possibile perché risulta più conveniente (dal punto di vista delle prestazioni) l'utilizzo di una macchina di Moore. [5]

4. Si considerino, mostrati nelle figure alla pagina seguente, il datapath ed il diagramma a stati finiti che specifica l'unità di controllo secondo la tecnica a multiciclo relativamente alle istruzioni MIPS *lw*, *sw*, *beq*, *j* ed alle istruzioni *Tipo-R*.
Si vuole implementare la nuova istruzione

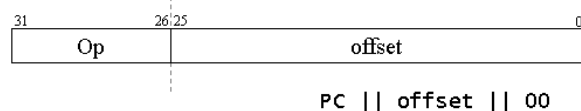
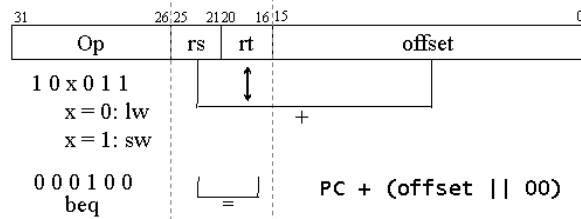
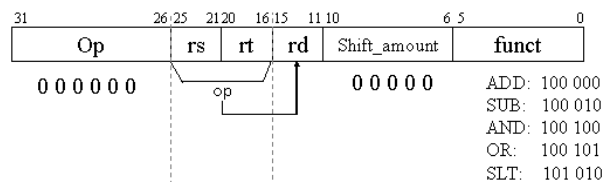
sumvett *r1*, (*r2*)

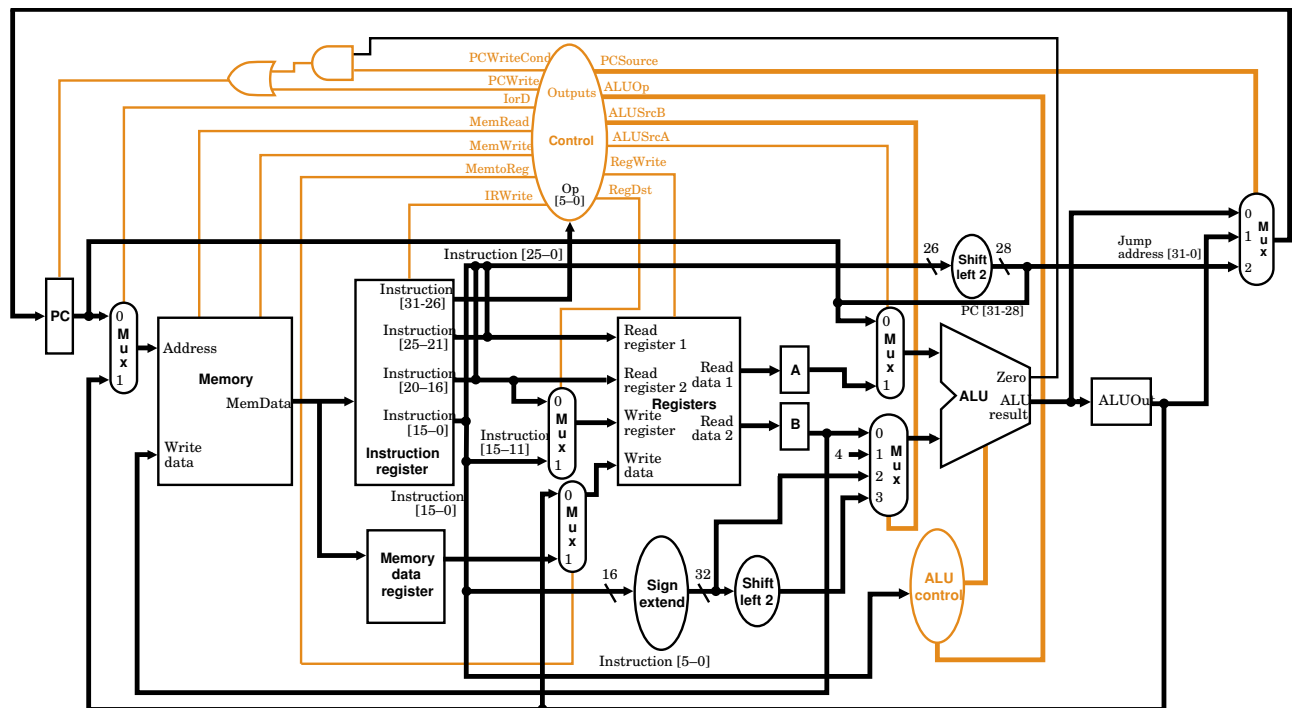
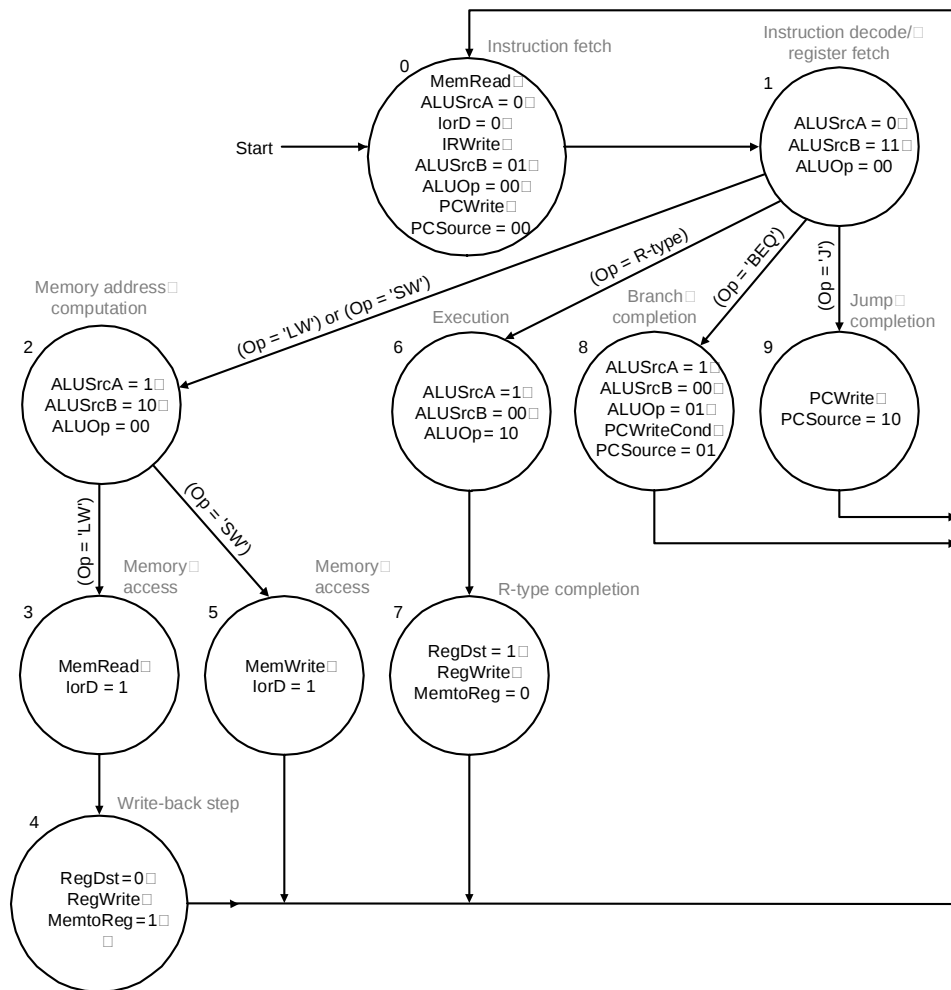
che effettua la somma degli elementi del vettore (array) di parole di memoria di indirizzo *r2* e pone il risultato nel registro *r1*. Si suppone che la fine del vettore sia indicata da un elemento di valore nullo (sempre presente). Se il vettore non ha alcun elemento, l'istruzione deve porre nel registro *r1* il valore 0.

Ricordando i tre formati di codifica delle istruzioni (riportati di seguito) si chiede di:

- riportare il formato della nuova istruzione macchina (specificando anche i campi destinati rispettivamente a *r1* e *r2*);
- riportare, nella corrispondente figura, le modifiche necessarie al datapath;
- estendere il diagramma degli stati per implementare la nuova istruzione. [8]

Promemoria formati delle istruzioni:





5. Si consideri la nota implementazione dell'unità di controllo secondo la tecnica multiciclo relativamente alle istruzioni MIPS lw, sw, beq, j e TIPO-R (si noti che il datapath è riportato nell'esercizio precedente). Si supponga che le operazioni atomiche che coinvolgono le unità funzionali principali richiedano:

Unità di memoria (lettura e scrittura):	2 ns
Register File (lettura e scrittura):	2 ns
Operazione ALU:	1 ns

Si assuma il seguente carico di lavoro:

Tipo-R:	40%
sw:	10%
lw:	30%

Si dispone di una cache primaria e di una cache secondaria, le cui caratteristiche sono:

- cache primaria: f_{miss} per le istruzioni = 2%, f_{miss} per i dati = 4%
- cache secondaria: tempo di accesso di 10 cicli di clock,
 $f_{\text{miss}}=10\%$ per le istruzioni e 20% per i dati

Si dispone inoltre di una memoria DRAM con un tempo di accesso pari a 128 cicli di clock.

Si chiede di calcolare le prestazioni in termini di tempo medio di esecuzione per istruzione.

[3]

6. Nell'esercizio precedente si supponga che la cache di secondo livello sia collegata alla memoria DRAM da un bus in grado di trasferire una parola di memoria alla volta. Il trasferimento di una parola di memoria richiede 1 ciclo di clock per l'invio dell'indirizzo, 6 cicli per l'accesso alla DRAM ed 1 ciclo per il trasferimento della parola di memoria stessa. Si supponga inoltre che i blocchi della cache di secondo livello siano costituiti da 16 parole di memoria. Supponendo di non potere estendere l'ampiezza del bus, proporre una organizzazione alternativa del sistema di memoria in grado di migliorare le prestazioni ottenute nel precedente esercizio e calcolare il miglioramento conseguito. [2]

7. Descrivere e confrontare le politiche di di write-through e di write-back nella gestione della memoria cache. [3]

